

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 53-022331

(43)Date of publication of application : 01.03.1978

(51)Int.Cl.

G11C 8/00
G06F 3/00
G06F 9/00
G06F 13/00
G11C 9/06

(21)Application number : 51-096145

(71)Applicant : FUJITSU LTD

(22)Date of filing : 13.08.1976

(72)Inventor : SUGAYA SEIICHI
WATANABE KINSOKU
MIYAJIMA SHIGERU

(54) DYNAMIC ADDRESS CONVERSION S YSTEM

(57)Abstract:

PURPOSE: To facilitate address conversion of a channel in the page address system by using a single address conversion mechanism.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨日本国特許庁

⑩特許出願公開

公開特許公報

昭53-22331

⑪Int. Cl. ²	識別記号	⑫日本分類	庁内整理番号	⑬公開 昭和53年(1978)3月1日
G 11 C 8/00		97(7) C 0	6453-56	
G 06 F 3/00		97(7) C 02	6453-56	発明の数 1
G 06 F 9/00		97(7) F 11	6745-56	審査請求 未請求
G 06 F 13/00		97(7) D 0	6711-56	
G 11 C 9/06				(全 3 頁)

⑭ダイナミックアドレス変換方式

川崎市中原区上小田中1015番地

富士通株式会社内

⑮特 願 昭51-96145

⑯発 明 者 宮島茂

⑰出 願 昭51(1976)8月13日

川崎市中原区上小田中1015番地

⑱発 明 者 菅谷誠一

富士通株式会社内

川崎市中原区上小田中1015番地

⑲出 願 人 富士通株式会社

富士通株式会社内

川崎市中原区上小田中1015番地

同 渡辺欽則

⑳代 理 人 弁理士 青木朗 外3名

明 細 書

1. 発明の名称

ダイナミックアドレス変換方式

2. 特許請求の範囲

(1) チャンネル制御装置を介して複数のチャンネル装置が主記憶装置に接続され、指定された論理アドレスに従ってデータが上記主記憶装置とチャンネル装置との間で転送されることシステムにおいて、上記チャンネル制御装置が各チャンネル装置に共用される単一のアドレス変換機構を有し、該アドレス変換機構により指定された論理アドレスを実際のハードウェアのアドレスに変換しながらデータの転送を行うことを特徴とするダイナミックアドレス変換方式。

(2) 特許請求の範囲(1)の発明において、上記アドレス変換機構が実際のハードウェアのアドレスを指定するレジスタを2個有し、これらのレジスタを交互に動作させることによりデータ転送と次のアドレス変換を同時に行うことを特徴とするダイナミックアドレス変換方式。

3. 発明の詳細な説明

本発明は一般にアドレス変換方式に関し、特に情報処理システムにおけるチャンネル装置でのアドレス変換方式に関する。

最近の情報処理システムにおいて用いられる方式のひとつはページアドレス方式がある。これは主記憶および補助記憶を一定の大きさのページと呼ばれるブロック（通常1K〜2Kバイト）に分割し、ページ単位に情報を転送するもので、この方式によるとユーザーは実際の主記憶の大きさがかわりなく大きな仮想の主記憶があるかのごとくプログラムを書くことが出来る。ページアドレス方式でのプログラムのアドレス指定はページ番号と、そのページ内のアドレスとによって行われるので、これらの論理アドレスを実際のハードウェアのアドレス（実アドレス）に変換しなければならぬ。この変換は、中央処理装置が使用するプログラムの各命令に対しては、ハードウェアにより自動的に行われていたが、主記憶装置と補助記憶装置（又は入出力装置）との間でのページ

の転送の場合ソフトウェアにより行われていた
ので、ソフトウェアが複雑化し、かつ情報処理
システム全体としての処理能力が低下するという問
題があった。又この変換をハードウェアにより行
う方式も提案されているが、従来の技術では多数
の変換テーブルが使用されるので、装置が複雑化
し、かつ変換に時間がかかるという欠点がある。

従って本発明は上記問題点を改善するもので、
その目的は補助記憶装置及び入出力装置との転送
に關して、中央処理装置と同様に論理アドレス及
び実アドレスを扱うことと新しいアドレス変
換方式を提供することにある。

この目的を達成するための本発明のひとつの特
徴はチャネル制御装置を介して複数のチャネル装
置が主記憶装置に接続され、指定された論理アド
レスに従ってセグメントを単位とするデータが上
記主記憶装置とチャネル装置との間で転送される
ときシステムにおいて、上記チャネル制御装置
が各チャネル装置に共用される単一のアドレス変
換機構を有し、該アドレス変換機構により指定さ

るを中心に行われるので、以下の説明ではこの部分
を特に詳しく説明する。

第2図はチャネル制御装置(CHC)の主制御の
ブロックダイアグラムをしめす。コマンドのアド
レス変換のために、論理コマンドアドレスレジス
タ(LCAR)及び実コマンドアドレスレジスタ
(BCAR)がもうけられ、データのアドレス変換
のために論理データアドレスレジスタ(LDAR)
及び2組の実データアドレスレジスタ(BDAR(1)
及びBDAR(2))がもうけられ、さらにアドレス変
換のパラメータを供給する為のSTWレジスタが
もうけられる。これらのレジスタはチャネル毎に
もうけられるが、アドレス変換機能そのものは全
チャネルに共通である。上記各レジスタのうち
STWレジスタ以外の各レジスタは当該レジスタ
の内容を+1する増進(INC)又は-1する繰
越(DEC)をもち、又これらのレジスタは、ペー
ジインデックス(P)とバイトインデックス(B)
をもち、前者は変換テーブルを参照する際のイン
デックスをあらわし、後者はページ内のアドレス

特開第53-24331号

れた論理アドレスを実際のハードウェアのアドレ
スに変換しながらデータの転送を行うときアド
レス変換方式にある。

本発明の別の特徴は、上記アドレス変換機構が
実際のハードウェアアドレスを指定するレジス
タを2個有し、これらのレジスタを交互に動作さ
せることによりデータ転送と次のアドレス変換を
同時に行うときアドレス変換方式にある。以下
図面により実施例を説明する。

第1図は本発明が適用される情報処理システム
の構成例で、中央処理装置(CPU)には主記憶
装置(MS)とチャネル制御装置(CHC)が接続
され、さらに、複数のチャネル装置(CH)がイ
ンターフェース(IP)、チャネル制御装置(CHC)
を介して主記憶装置(MS)に接続される。チャ
ネル装置(CH)には、補助記憶装置(AS)又は
入出力装置が接続される。ページの転送は主記憶
装置(MS)と補助記憶装置(AS)又は入出力装
置の間で行なわれるのであるが、本発明の特徴で
あるアドレス変換は、チャネル制御装置(CHC)

をあらわす。

チャネルが論理アドレス、実アドレスのいずれ
を扱うかは特別のチャネルコマンドにより設定さ
れるものとし、前者を論理モード、後者を実モー
ドと呼ぶ。

論理モードに設定されたチャネルは、それ以後
のコマンドアドレス及びデータアドレスを論理ア
ドレスとして扱う。論理モードに設定するための
チャネルコマンドが送られると、このコマンドか
らSTWレジスタはアドレス変換に必要なパラメ
ータを受け取る。このコマンドは、又、次にとり
出すコマンドの論理アドレスが与えられるので、
これを論理コマンドアドレスレジスタ(LCAR)
に設定した後、アドレス変換を行い、結果を実コ
マンドアドレスレジスタ(BCAR)に設定する。
ここでアドレス変換がなされることを行われる。

アドレス変換のための変換テーブル(T)はソフ
トウェアによって作成され、主記憶装置(MS)
に記憶される(第2図では説明の便宜上変換テ
ーブル(T)を図示するが、実際にはテーブルは主記

情報に格納される)。STWレジスタはこの変換テーブルの先頭アドレスを提供する。アドレス変換機構は、STWレジスタの内容と論理コマンドアドレスレジスタのページインデックスとを照合して(例えば加算)得られるアドレスに従って変換テーブルの内容を読みとり、この結果と論理コマンドアドレスレジスタのバイトインデックスとを合成して実アドレスを作成し、結果を実コマンドアドレスレジスタ(RCAR)に設定する。

次にチャネルは、この実コマンドアドレスを用いて、主記憶装置(MS)よりコマンドを取り出し、このコマンドから得られる論理データアドレスを論理データアドレスレジスタ(LDAR)に設定し、この内容が上記のコマンドアドレスの場合と同様にしてアドレス変換されて、その結果が実データアドレスレジスタ(RDAR(1))又はRDAR(2)に設定される。この時論理データアドレスレジスタ(LDAR)の内容は次のページの論理アドレスに更新される。ここでチャネルはコマンドの実行に入り、実データアドレスレジスタ

特開第53-22331(5)
(RDAR(1))又はRDAR(2)のアドレス指定に従ってデータの転送が行われる。

実データアドレスレジスタが2個用意される理由は次のとおりである。

コマンドの実行開始直後にページの境界に達した場合は、次のページのアドレス変換が終了するまで次のページの転送をすることが出来ないため、転送速度の速い補助記憶の場合にはオーバーランを起す危険がある。これを防止するために、本発明では転送の開始前に2ページ分の実アドレスを用意し、これらをRDAR(1)及びRDAR(2)に設定する。チャネルは最初はRDAR(1)を使用してデータ転送を行い、ページの境界に達すると、RDAR(2)に移りデータ転送を継続する。RDAR(2)によるデータ転送は、そのコマンドでの転送がそのページで終了しない限り、少なくとも1ページ分は続くので、この転送中にさらに次のページのアドレス変換を行って結果はRDAR(1)に設定される。このようにページの境界に達する毎にRDAR(1)とRDAR(2)を切替えたがら交互に使用することにより、データの転送が中断せずに行われる。

以上詳しく説明したごとく、本発明によれば、単一のアドレス変換機構を使用して、ページアドレス方式におけるチャネルのアドレス変換を簡便に行うことができる。

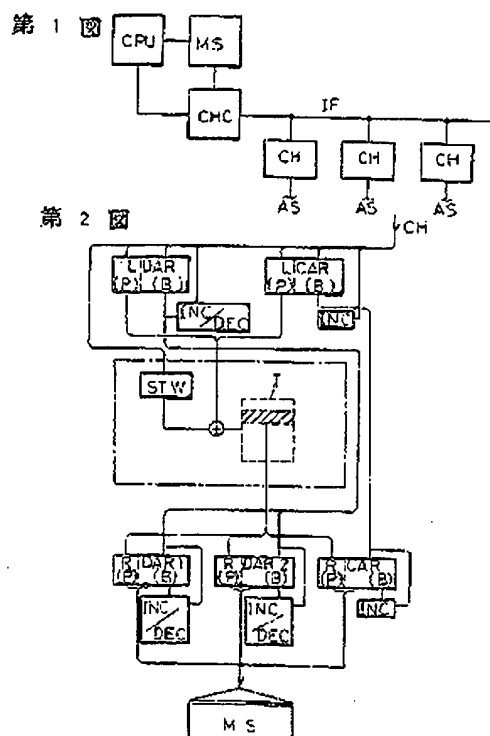
なお、アドレス変換単位はページ・アドレス単位に限らず、何つかのページのまとまりいわゆるセグメント・アドレス単位で行なってもよいことはいふまでもない。

4. 図面の簡単な説明

第1図は本発明の適用されるシステム構成例、第2図は本発明によるチャネル制御装置の主要部のブロックダイヤグラムを示す。

(符号の説明)

CPU, 中央処理装置 MS, 主記憶装置
CHC, チャネル制御装置 CH, チャネル装置
LCAR, 論理コマンドアドレスレジスタ
LDAR, 論理データアドレスレジスタ
RCAR, 実コマンドアドレスレジスタ
RDAR, 実データアドレスレジスタ
STW, STWレジスタ



THIS PAGE BLANK (USPTO)